

用于 16 bit SAR ADC 的高精度比较器的设计

侯 斌,莫亭亭

(上海交通大学,微电子学院,上海 200240)

摘 要:设计了一款可用于 16 bit 精度,1 MS/s 采样率逐次逼近型模数转换器(SAR ADC)的高精度比较器. 为了实现高精度,整个比较器使用了五级预防大器与可再生锁存器,并采用输出失调存储(OOS)的失调电压消除方法,有效降低比较器的失调电压. 在 16 bit 精度下,噪声也成为会影响精度的关键因素,设计中采用了一种新型的预放大器带宽优化方法对 RMS 噪声和比较器功耗进行优化. 在 TSMC 0.18 μm 工艺下,在 Cadence Spectre 环境下的仿真结果表明,该比较器在 3.4 mW 的功耗下实现输入失调电压标准差 5.8 μV ,RMS 噪声 16 μV ,满足 16 bit SAR ADC 的精度要求.

关键词:低失调电压;低噪声;带宽优化;比较器

中图分类号: TN43

文献标识码: A

文章编号: 1000-7180(2016)07-0015-04

Design of High Resolution Comparator for 16 Bit SAR ADC

HOU Bin, MO Ting-ting

(School of Microelectronics, Shanghai Jiao Tong University, Shanghai 200240, China)

Abstract: This paper presents a low noise low offset comparator used in a 1 MSPS 16 bit successive approximation register analog to digital converter (SAR ADC). The comparator is composed of five stages preamplifier and a regenerative latch. The output offset storage technique is used to further reduce offset voltage. In the design of 16bit SAR ADC, RMS noise becomes another key factor restricting the resolution. A novel bandwidth optimization method for preamplifier stages is used to achieve lower noise and lower power consumption. Implemented in TSMC 0.18 μm CMOS technology and simulated in Cadence Spectre, the proposed comparator achieves low RMS noise of 16 μV and low offset standard deviation of 5.8 μV with 3.4 mW power consumption, satisfying the stringent requirement of 16 bit SAR ADC.

Key words: low offset; low noise; bandwidth optimization; comparator

1 引言

逐次逼近型模数转换器(SAR ADC)是一种常见的模数转换器架构,具有功耗低、面积小、高度数字化、转换延迟小等特点,通常用于低功耗中低速中高精度的应用场合. 比较器是 SAR 型 ADC 中最为关键的模块之一,为了适应 SAR ADC 发展的需要,设计更高性能的比较器很有必要.

在现代通信系统中,为了对数据进行更加精确的传输和处理,对 ADC 的精度也提出了更高的要

求. 在高精度 SAR ADC 中,更是需要分辨极其微小的电压差来实现比较. 一般来说,实现高精度 SAR ADC 主要有两种思路:一种是通过高精度比较器的设计,在 ADC 转换过程中实现直接比较^[1];另一种则是在一定范围的允许误差内,用数字校准算法对误差进行校准^[2-3]. 但是在 SAR ADC 的精度达到 14 bit 甚至更高的时候,即使使用数字校准方法,也对比较器的精度有着很高的要求^[4]. 另一方面,在高精度比较器的设计中,噪声会变得和等效失调电压一样,成为制约精度的另一大误差来源.

为了实现可以用于 16 bit SAR ADC 的高精度比较器,本文的设计采用了输出失调存储(OOS)的结构来消除等效输入失调,并采用一种新型的预放大器带宽优化理论对预放大器的带宽进行优化,在满足 1 MHz 采样率速度的条件下,极大减少了噪声和功耗.仿真验证、满足 16 bit 的精度要求与采样率速度要求.

2 比较器架构和预放大器带宽优化

2.1 失调电压消除

在诸多对失调电压进行校准和消除的方法中,最广泛使用的一种方法是在多相不交叠时钟控制下,通过电容对失调电压进行存储和消除的技术.即输入失调存储(IOS)和输出失调存储(OOS)技术^[5].输入失调存储(IOS)通过将预放大器接成单位增益放大器,把失调电压存储在输入耦合电容上.而 OOS 则是将经过预放大之后的失调电压存储在

输出耦合电容上.经过两种方法校准的失调电压如式(1)、(2)所示.

$$V_{OS_IOS} = \frac{V_{OS1}}{1+A_0} + \frac{\Delta Q}{C} + \frac{V_{OSL}}{A_0} \quad (1)$$

$$V_{OS_OOS} = \frac{\Delta Q}{A_0 C} + \frac{V_{OSL}}{A_0} \quad (2)$$

式中, V_{OS1} 和 V_{OSL} 分别是预放大级和锁存级等效失调电压; A_0 是预放大级增益; Q 是由开关引入的注入电荷, C 是用来储存失调电压的耦合电容.由公式可以看到,OOS 可以更彻底地消除失调电压,但是另一方面,OOS 预放大级的增益不能太大,否则电容上电压饱和不能完全消除失调电压.而 Latch 级通常具有较大的失调电压,一般都要求前级预放大器具有足够大的增益,本文设计中,采用五级前置预放大器,并在第一级、第二级和第四级预放大器后采用输出失调存储技术来消除失调电压,如图 1 所示.

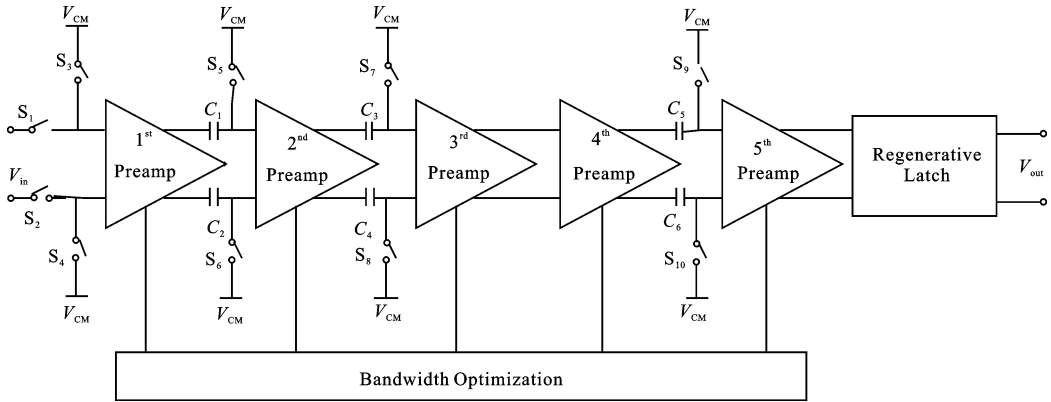


图 1 本文提出的比较器整体架构

2.2 预放大器带宽优化

一般来说,在一次完整的转换中,16 bit SAR ADC 需要 20 个时钟周期.其中的 16 个周期用来完成比较和转换,其余 4 个周期用来采样保持^[6].这就意味着,对于一个 1 MS/s 的 SAR ADC,比较器的时钟频率为 20 MHz,也就是说,预放大器的建立时间要在 20 MHz 时钟频率的一个周期时间内^[7].而预放大器的建立时间又直接决定了 3 dB 带宽.建立过程中的误差电压可以由式(3)给出.

$$\begin{aligned} \epsilon(t) &= V_{ref} - V(t) \\ &= V_{ref} - (V_{ref} - V_{ref} \cdot e^{-\frac{t}{\tau}}) \\ &= V_{ref} \cdot e^{-\frac{t}{\tau}} \end{aligned} \quad (3)$$

式中, V_{ref} 为参考电压; $V(t)$ 是预放大器输出建立过程中随时间变化的电压; τ 是时间常数.而建立过程中的误差电压又应该满足

$$\epsilon(t) < \frac{V_{ref}}{2^{n+1}} \quad (4)$$

由式(3)、(4)可得,预放大器的 3 dB 带宽应该满足下面的公式,

$$f_{-3\text{ dB}} = \frac{1}{2\pi\tau} > \frac{\ln(2) \cdot (n+1)}{2\pi T} \quad (5)$$

式中, n 是预放大器需要分辨的有效精度值; T 是预放大器的建立时间.对于用于 16 bit,1 MS/s SAR ADC 的比较器,第一级预放大器所需要的带宽由式(6)得到.

$$\begin{aligned} f_{-3\text{ dB},1} &= \frac{\ln(2) \cdot (n+1)}{2\pi T} \\ &= \frac{\ln(2) \cdot (16+1)}{2\pi \cdot 25\text{ ns}} \\ &= 75.05\text{ MHz} \end{aligned} \quad (6)$$

对于后级的预放大器而言,输入电压已经经过

完成设计并进行仿真. 比较器的输入等效噪声的仿真结果如图 4 所示.

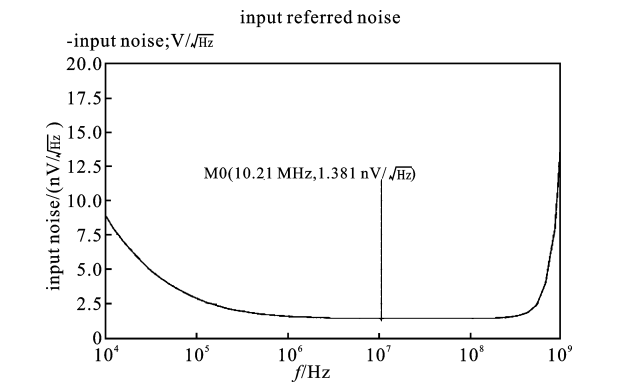


图 4 比较器等效输入噪声仿真结果

对应的 RMS 噪声可由式(10)得到.

$$V_{\text{rms, comp}} \approx 1.4 \frac{nV}{\sqrt{\text{Hz}}} \sqrt{\pi \cdot 36 \text{ MHz} + \frac{\pi}{2} \cdot 24 \text{ MHz}}$$
$$\approx 16 \mu V_{\text{rms}} \tag{10}$$

对优化预放大器带宽前后比较器的 RMS 噪声和功耗进行比较,如表 1 所示. 可以看到,带宽的优化对比较器的 RMS 噪声和功耗都有了很大的改善.

表 1 带宽优化前后噪声和功耗对比

项目	优化前	优化后
RMS 噪声/ μV	67	16
电流/ mA	5.8	1.9

比较器的输入失调电压由所在工艺条件下的器件失配引起,这种失配随机分布,需要通过 Monte-Carlo 方法进行仿真得到输入失调电压的分布情况. 仿真结果如图 5 所示.

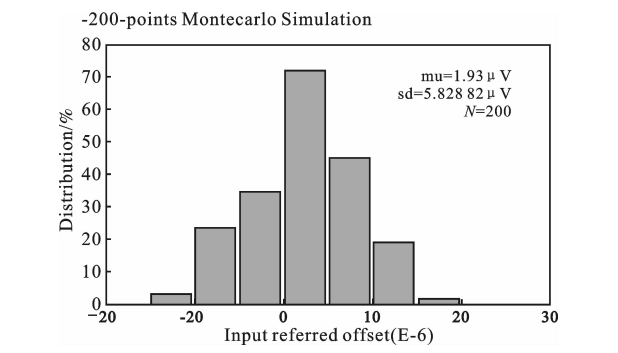


图 5 比较器输入失调电压仿真结果

由仿真结果可看出,在 200 次 Monte-Carlo 的仿真结果中,比较器的失调电压的最大残余电压为 $15 \mu\text{V}$,失调电压标准差为 $5.8 \mu\text{V}$,满足 16 bit 的精

度要求. 表 2 中列举了本文设计和其他设计的比较.

表 2 本文和其他设计的比较

文献	等效输入失调电压/ μV	RMS 噪声/ μV	功耗/ mW
本文	5.8	16	3.4
文献[1]	总等效输入误差 $<1\ 000$		0.023
文献[4]	33.2	—	—
文献[8]	14	153	0.25

5 结束语

本文采用五级前置预放大器和可再生锁存器的架构,实现了一款可用于 16 bit,1MS/s SAR ADC 的高精度比较器. 通过使用输出失调存储技术,将比较器失调电压的标准差减小到 $5.8 \mu\text{V}$. 用一种新型预放大器优化方法对前置五级放大器的带宽进行优化,仿真结果表明,该方法减小了比较器功耗并实现了 $16 \mu\text{V}$ 的 RMS 噪声,满足 16 bit SAR ADC 的精度要求. 后续研究中,可以尝试将高精度比较器与数字校准算法相结合,以期实现更高性能的模数转换器.

参考文献:

[1] Xu R, Liu B, Yuan J. Digitally calibrated 768 ks/s 10 b minimum-size SAR ADC array with dithering[J]. Solid-State Circuits, 2012, 47(9): 2129-2140.

[2] Sun L, Pun K P. Analysis and design of a 14 bit SAR ADC using self-calibration DAC[C]//Circuits and Systems (ISCAS), 2012 IEEE International Symposium on. Korea, Seoul, IEEE, 2012: 1267-1270.

[3] Haenzsche S, Henker S, Schüffny R, et al. A 14 bit self-calibrating charge redistribution SAR ADC[C]//Circuits and Systems (ISCAS), 2012 IEEE International Symposium on. Korea, Seoul, IEEE, 2012: 1038-1041.

[4] 陈幼青,何明华. 应用于 14bit SAR ADC 的高精度比较器的设计[J]. 微电子学与计算机, 2011, 28(6): 109-112.

[5] Razavi Behzad, Bruce Wooley. Design techniques for high-speed, high-resolution comparators [J]. Solid-State Circuits, 1992, 27(12): 1916-1926.

[6] Liu C C, Chang S J, Huang G Y, et al. A 10 bit 50 MS/s SAR ADC with a monotonic capacitor switching procedure [J]. Solid-State Circuits, 2010, 45(4): 731-740.

列举了综合后 FPGA 中 Slice 寄存器和查找表的使用数量,根据文献[8]中 Slice 寄存器和查找表与专用集成电路(ASIC)逻辑门的换算方法,计算得到逻辑门的总体使用数量为 347 966.

$$BW_{max}=Freq_CLK\times DQ_BITS\times 2 \tag{1}$$
根据式(1),其中按照 DDR2-667 的时钟频率(333 MHz)来计算,DQ_BITS 表示 8 位的数据总线位宽,在行为级仿真结果中,控制系统 A 和 B 的平均带宽分别为 2.88 Gb/s 和 3.52 Gb/s,而本存储控制系统的平均带宽可以达到 3.92 Gb/s.

表 3 FPGA 资源利用率统计

测试项目	使用个数	器件内 Slice 总数量	相应逻辑门数量
Slice 寄存器数量	9172	948 480	293 504
Slice LUT 数量	9 077	474 240	54 462
Slice 被占用数量	3 179	118 560	63 580

4 结束语

本文提出了一种针对多核访存密集型应用的 SDRAM 控制单元,介绍了该控制单元结构、控制、调度策略上所采用的各项优化技术,并提出了一种新的地址映射机制,在解决密集型应用问题上提出了新的硬件结构,实验结果表明,新的控制单元使得命中率相比传统单一的方式提高了 15%,并且使得对存储器访问延时减少了平均 20%.

参考文献:

[1] Kyle J Nesbit, Nidhi Aggarwal. Fair queuing memory systems[C]// Proceedings of the 39th Annual IEEE/ACM International Symposium on Microarchitecture. Hawaii, USA, 2006.

[2] Briki A, Chavet C, Coussy P. A conflict-free memory mapping approach to design parallel hardware interleaver architectures with optimized network and controller[C]// Signal Processing Systems (SiPS), 2013 IEEE Workshop on. Taiwan, Taipei, IEEE, 2013: 201-206.

[3] Onur Mutlu, Thomas Moscibroda. Stall-time fair mem-

ory access scheduling for chip multiprocessors[C]// Proceedings of the 40th Annual IEEE/ACM International Symposium on Microarchitecture. Dallas, 2007.

[4] Manu Awasthi, David Nellans. Handling. The problems and opportunities posed by multiple on-chip memory controllers[C]// Proceedings of the 19th international conference on Parallel architectures and compilation techniques. Austria, Vienna, 2010.

[5] Engin Ipek, Onur Mutlu. Self-optimizing memory controllers: a reinforcement learning approach [C] // roceedings of the 35th Annual International Symposium on Computer Architecture. USA, Denver, 2008.

[6] Yang C J, Liu H C, Ji K M, et al. Adaptive memory map switch for system on chip[C]// High Performance Computing and Communication & 2012 IEEE 9th International Conference on Embedded Software and Systems (HPCC-ICESS), 2012 IEEE 14th International Conference on. UK, Liverpool, IEEE, 2012: 1639-1642.

[7] Kanno Y, Mizuno H, Watanabe T. A DRAM system for consistently reducing CPU wait cycles[C]// VLSI Circuits, 1999. Digest of Technical Papers. 1999 Symposium on. Taiwan, Taipei, IEEE, 1999: 131-132.

[8] AI Czamara. 赛灵思器件与专用集成电路器件换算方法. [EB/OL]. (2015-01-10). <http://www.deepchip.com/items/0356-05.html>.

作者简介:

章 裕 男, (1990-), 硕士研究生. 研究方向为大规模集成电路设计. E-mail: 759488886@qq.com.

谢 憬 男, (1981-), 助理研究员. 研究方向为大规模成电路设计、片上处理器体系结构、先进集成电路设计方法.

王 超 男, (1988-), 硕士研究生. 研究方向为大规模集成电路设计.

王 琴 女, (1975-), 博士, 副教授. 研究方向为大规模集成电路设计、片上处理器体系结构、先进集成电路设计方法.

毛志刚 男, (1962-), 博士, 教授, 博士生导师. 研究方向为大规模集成电路设计、可重构体系结构设计、集成电路与元器件可靠性等.

(上接第 18 页)

[7] Ohnhaeuser F. Theory and realization of high-end analog-to-digital converters (ADC) based on the principle of successive approximation(SAR)[D]. Erlangen, University of Erlangen-Nurnberg, 2008.

[8] Shirai Eiji. CMOS multistage preamplifier design for high-speed and high-resolution comparators [J]. Circuits and

Systems II: Express Briefs, 2007, 54(2): 166-170.

作者简介:

侯 斌 男, (1992-), 硕士研究生. 研究方向为射频模拟集成电路设计、数模混合电路设计. E-mail: nevermoresai@163.com.

莫亭亭 女, (1978-), 博士, 副教授. 研究方向是应用于无线通信的射频、微波集成电路, CMOS 功率放大器.